

**Уважаемая 45 группа у вас закончился предмет  
«Электротехника»  
Прошу сдать дифференцированный зачет (и долги тоже)**

Учебник:

Основы электротехники (Кузнецов М.И.) [rateli.ru](http://rateli.ru)

Учебники | Электротехника Таблица 1.1 [booksite.ru>fulltext/sindeev/text.pdf](http://booksite.ru/fulltext/sindeev/text.pdf)

1. Прочитать и записать конспект.
2. Сделать задание и результат прислать на электронную почту

### Тема 2.7. Триггеры

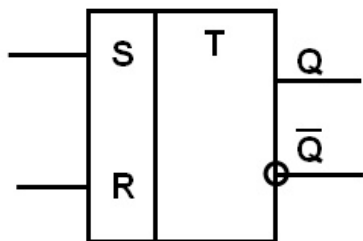
**Триггер** (триггерная система) — класс электронных устройств, обладающих способностью длительно находиться в одном из двух устойчивых состояний и чередовать их под воздействием внешних сигналов. Каждое состояние триггера легко распознаётся по значению выходного напряжения. По характеру действия триггеры относятся к импульсным устройствам — их активные элементы (транзисторы, лампы) работают в ключевом режиме, а смена состояний длится очень короткое время.

Отличительной особенностью триггера как функционального устройства является свойство запоминания двоичной информации. Под памятью триггера подразумевают способность оставаться в одном из двух состояний и после прекращения действия переключающего сигнала. Приняв одно из состояний за «1», а другое за «0», можно считать, что триггер хранит (помнит) один разряд числа, записанного в двоичном коде.

При включении питания триггер непредсказуемо принимает (с равной или неравной вероятностью) одно из двух состояний. Это приводит к необходимости выполнять первоначальную установку триггера в требуемое исходное состояние, то есть подавать сигнал сброса на асинхронные входы триггеров, счётчиков, регистров, и т. д. (например, с помощью RC-цепочки), а также учитывать, что ячейки ОЗУ, построенного на триггерах (память статического типа), содержат после включения произвольную информацию.

При изготовлении триггеров применяются преимущественно полупроводниковые приборы (обычно биполярные и полевые транзисторы), в прошлом — электромагнитные реле, электронные лампы. С появлением технологии производства микросхем малой и средней степени интеграции был освоен выпуск обширной номенклатуры триггеров в интегральном исполнении. В настоящее время логические схемы, в том числе с использованием триггеров, создают в интегрированных средах разработки под различные программируемые логические интегральные схемы (ПЛИС). Используются, в основном, в вычислительной технике для организации компонентов вычислительных систем: регистров, счётчиков, процессоров, ОЗУ.

**Логические триггеры: схемы, классификация, устройство, назначение, применение**



**Рис. 3.54**

### Классификация триггеров:

- способу приема информации;
- принципу построения;
- функциональным возможностям.

### Различают асинхронные и синхронные триггеры.

*Асинхронный триггер* — изменяет свое состояние непосредственно в момент появления соответствующего информационного сигнала.

*Синхронные триггеры* — реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации С. Этот вход также обозначают терминами «строб», «такт».

Синхронные триггеры в свою очередь подразделяют на триггеры со статическим (статические) и динамическим (динамические) управлением по входу синхронизации С. Статические триггеры воспринимают информационные сигналы при подаче на вход С логической единицы (прямой вход) или логического нуля (инверсный вход). Динамические триггеры воспринимают информационные сигналы при изменении (перепаде) сигнала на входе С от 0 к 1 (прямой динамический С-вход) или от 1 к 0 (инверсный динамический С-вход).

Статические триггеры в свою очередь подразделяют на одноступенчатые (однотактные) и двухступенчатые (двухтактные). В одноступенчатом триггере имеется одна ступень запоминания

информации, а в двухступенчатом — две такие ступени. Вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе. Двухступенчатый триггер обозначают через ТТ.

### Различие триггеров по функциональным возможностям

- с отдельной установкой состояния 0 и 1 (RS-триггеры);
- универсальные (JK-триггеры);
- с приемом информации по одному входу D (D-триггеры, или триггеры задержки);
- со счетным входом Т (Т-триггеры).

### Входы триггеров обычно обозначают следующим образом:

- S — вход для установки в состояние «1»;
- R — вход для установки в состояние «0»;
- J — вход для установки в состояние «1» в универсальном триггере;
- K — вход для установки в состояние «0» в универсальном триггере;
- T — счетный (общий) вход;
- D — вход для установки в состояние «1» или в состояние «0»;
- V — дополнительный управляющий вход для разрешения приема информации (иногда используют букву E вместо V).

Рассмотрим некоторые типы триггеров и их реализацию на логических элементах.

### Асинхронный RS-триггер

Обратимся к *асинхронному RS-триггеру*, имеющему условное графическое обозначение, приведенное на рис. 3.54.

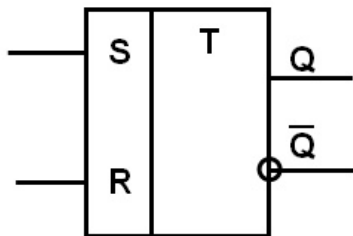


Рис. 3.54

Триггер имеет два информационных входа: S и R

Закон функционирования триггеров удобно описывать таблицей переходов, которую иногда также называют таблицей истинности (рис. 3.55). Через  $S^t, R^t, Q^t$  обозначены соответствующие логические сигналы, имеющие место в некоторый момент времени  $t$ , а через  $Q^{t+1}$  — выходной сигнал в следующий момент времени  $t+1$ . Комбинацию входных сигналов  $S^t = 1, R^t = 1$  часто называют запрещенной, так как после нее триггер оказывается в состоянии (1 или 0), предсказать которое заранее невозможно. Подобных ситуаций нужно избегать.

$S^t$	$R^t$	$Q^{t+1}$	Режим
0	0	$Q^t$	Хранение
1	0	1	Установка 1
0	1	0	Установка 0
1	1	-	Неопределенность

Рис. 3.55

Рассматриваемый триггер может быть реализован на двух элементах ИЛИ-НЕ (рис. 3.56).

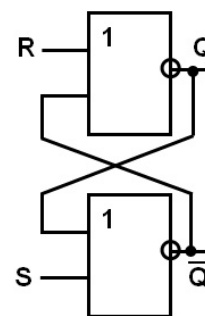


Рис. 3.56

Необходимо убедиться, что эта схема функционирует в

полном соответствии с приведенной выше таблицей переходов.

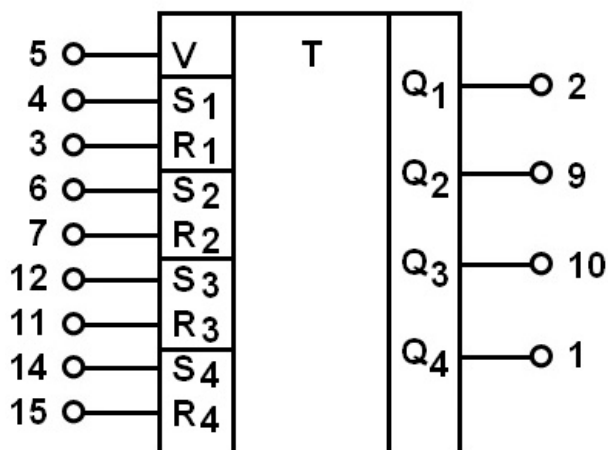


Рис. 3.57

Микросхема K564TP2 содержит 4 асинхронных RS-триггера и один управляющий вход (рис. 3.57).

При подаче на вход V низкого уровня выходы триггеров отключаются от выводов микросхем и переходят в третье так называемое высокоимпедансное состояние. При подаче на вход V логического сигнала «1» триггеры работают в соответствии с вышеприведенной таблицей переходов.

В асинхронном RS-триггере на элементах И-НЕ переключение производится логическим «0», подаваемым на вход R или S, т. е. реализуется обратная рассмотренной ранее таблице переходов (рис. 3.58). Запрещенная комбинация соответствует

логическим «0» на обоих входах.

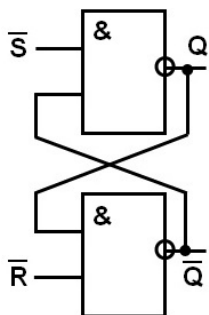
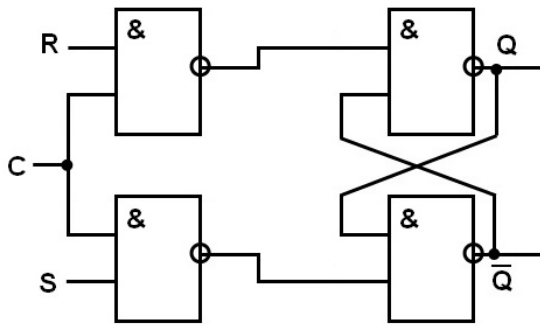


Рис. 3.58

### Синхронный RS-триггер

Рассмотрим *синхронный RS-триггер* (рис. 3.59).



$S^t$	$R^t$	$Q^{t+1}$	$C$
0	1	0	1
1	0	1	1
0	0	$Q^t$	1
1	1	-	1

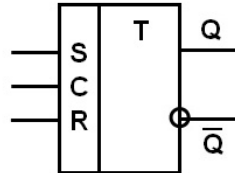


Рис. 3.59

Если на входе  $C$  — логический «0», то и на выходе верхнего входного элемента «И-НЕ», и на выходе нижнего будет логическая «1». А это, как отмечалось выше, обеспечивает хранение информации. Таким образом, если на входе  $C$  — логический «0», то воздействие на входы  $R, S$  не приводит к изменению состояния триггера. Если же на вход синхронизации  $C$  подана логическая единица, то схема реагирует на входные сигналы точно так же, как и рассмотренная ранее (рис. 3.56).

### Триггер типа MS

Рассмотрим принцип построения двухступенчатого триггера, который называют также триггером типа MS (от англ. master, slave, что переводят обычно как «ведущий» и «ведомый»). Его упрощенная структурная схема приведена на рис. 3.60. В схеме имеются два одноступенчатых триггера (ведущий  $M$  и ведомый  $S$ ) и два электронных ключа (Кл1 и Кл2).

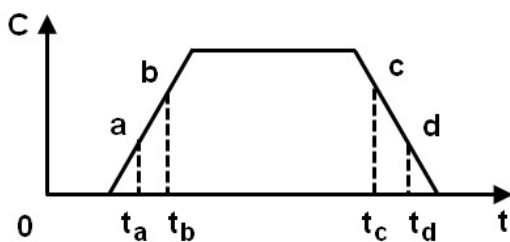


Рис. 3.61

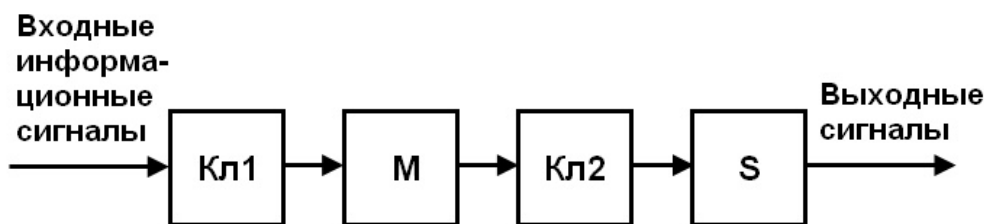


Рис. 3.60

Временная диаграмма сигнала синхронизации, поясняющая работу триггера, приведена на рис. 3.61. Рассмотрим ряд временных интервалов указанной диаграммы:

$t < t_a$  — ведущий триггер отключен от информационных входов, ведомый триггер подключен к ведущему;

$t_a < t < t_b$  — ведущий триггер отключен от информационных входов, ведомый триггер отключен от ведущего;

$t_b < t < t_c$  — ведущий триггер подключен к информационным входам, ведомый триггер отключен от ведущего. В ведущий триггер записывается информация, поданная на входы;

$t_c < t < t_d$  — ведущий триггер отключен от информационных входов, ведомый триггер отключен от ведущего;

$t_d < t$  — ведущий триггер отключен от информационных входов, ведомый триггер подключен к ведущему, информация из ведущего триггера переписывается в ведомый. Это происходит сразу после момента времени  $t_d$  и означает, что фактически двухступенчатый триггер срабатывает при изменении сигнала синхронизации от 1 к 0. При этом выходные сигналы определяются теми входными информационными сигналами, которые имели место непосредственно перед отрицательным фронтом сигнала синхронизации.

### JK-триггер

Рассмотрим JK-триггер, отличающийся от рассмотренного RS-триггера тем, что появление на обоих информационных входах (J и K) логических единиц (для прямых входов) приводит к изменению состояния триггера. Такая комбинация сигналов для JK-триггера не является запрещенной.

В остальном JK-триггер подобен RS-триггеру, причем роль входа S играет вход J, а роль входа R — вход K.

JK-триггеры реализуют в виде триггеров типа MS или в виде динамических триггеров (т. е. JK-триггеры являются синхронными).

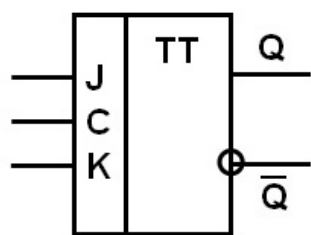


Рис. 3.62

На рис. 3.62 приведено условное графическое обозначение двухступенчатого JK-триггера.

Обратимся к динамическим триггерам. Для них характерно блокирование информационных входов в тот момент, когда полученная информация передается на выход. Нужно отметить, что в отношении реакции на входные сигналы динамический триггер, срабатывающий при изменении сигнала на входе C от 1 к 0, подобен рассмотренному двухступенчатому триггеру, хотя они отличаются внутренним устройством.

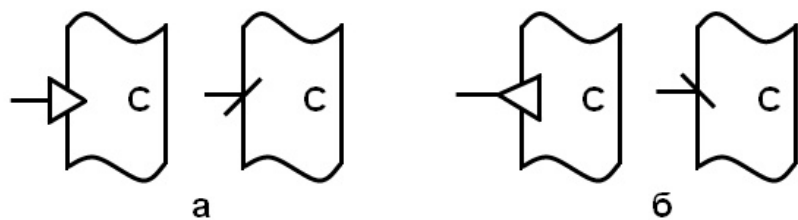


Рис. 3.63

Для прямого динамического C-входа используют обозначения, приведенные на рис. 3.63, а, а для инверсного динамического C-входа, используют обозначения, приведенные на рис. 3.63, б.

## D-триггер

Рассмотрим *D-триггер*, повторяющий на своем выходе состояние входа. Рассуждая чисто теоретически, D-триггер можно образовать из любых RS- или JK-триггеров, если на их входы одновременно подавать взаимно инверсные сигналы (рис. 3.64).

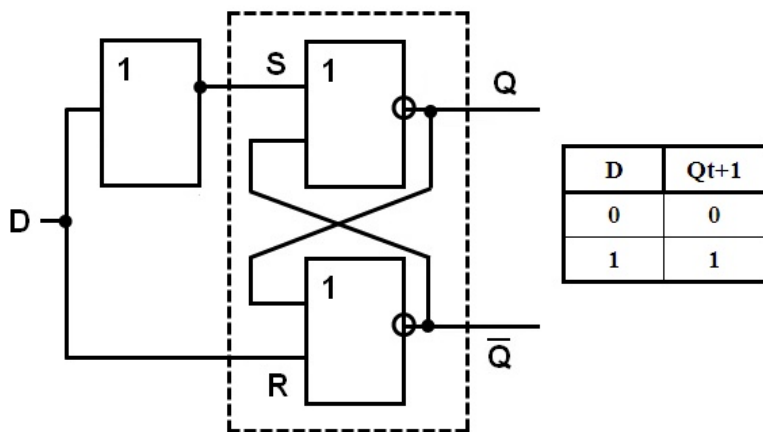


Рис. 3.64

Хранение информации в D-триггерах обеспечивается за счет синхронизации, поэтому все реальные D-триггеры имеют два входа: информационный D и синхронизации C. В этом триггере сигнал на входе по сигналу синхронизации записывается и передается на выход. Так как информация на выходе остается неизменной до прихода очередного импульса синхронизации, D-триггер называют также триггером с запоминанием информации или триггером-защелкой.

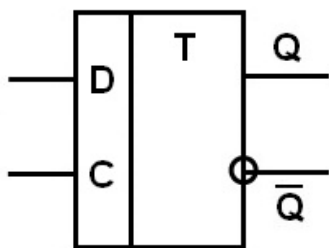


Рис. 65

Условное графическое обозначение D-триггера приведено на рис. 3.65.

### T-триггер

Рассмотрим T-триггер, который изменяет свое логическое состояние на противоположное по каждому активному сигналу на информационном входе T. Условное графическое обозначение двухступенчатого T-триггера приведено на рис. 3.66.

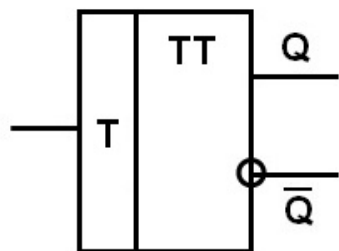
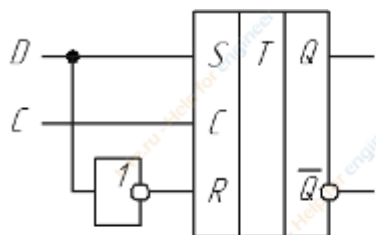


Рис. 3.66

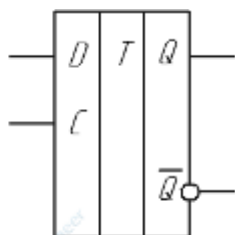
### D-триггер и T-триггер. Обозначение, реализация, принцип работы, таблицы истинности, временные диаграммы

*D-триггер* получил название от английского слова "delay" - задержка, которая реализуется подачей сигналов на вход синхронизации. В ранее рассмотренном RS-триггере было два входных сигнала, но для передачи двоичного кода достаточно одного входа с разными уровнями напряжения: высокий (1) и низкий (0). На два входа нельзя было подавать единицу одновременно, поэтому в D триггере эти входы объединены с помощью инвертора (рисунок 1 а), что исключает

возможность возникновения запрещенного состояния.



а)

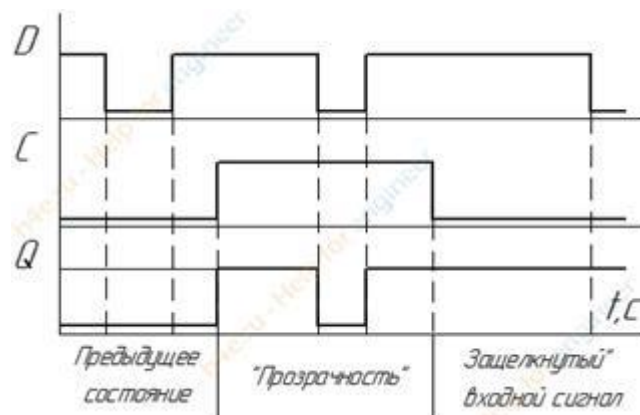
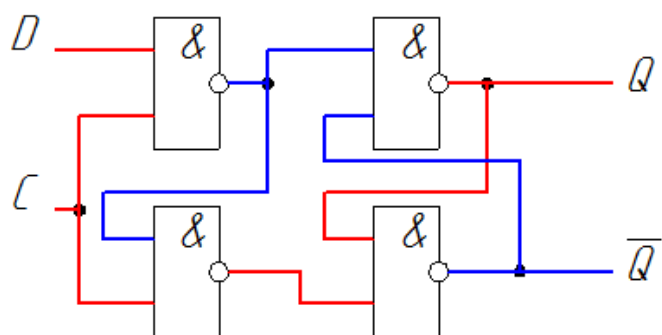


б)

Рисунок: а) усовершенствованная схема RS-триггера б) графическое изображение D-триггера

Триггер D может работать по уровню сигнала, он еще называется защелка. В таком устройстве нужно ограничивать длительность синхронизирующего сигнала, потому что пока синхросигнал подается - переходной процесс со входа поступает на выход.

Схема защелки собранная на логических элементах 2ИЛИ-НЕ (синий провод - логический ноль, красный - единица):



### Временная диаграмма работы

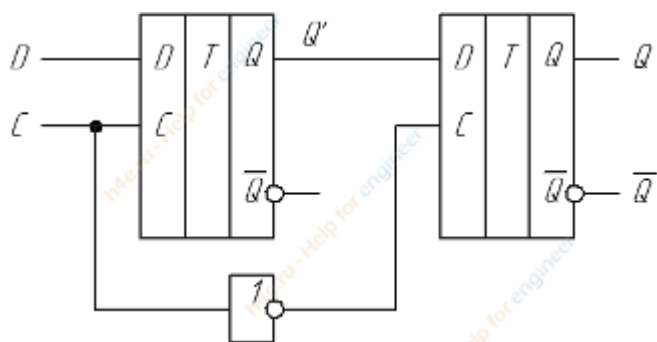
Триггер-защелка включается в работу только по синхросигналу. Когда на С логический ноль, то выход Q хранит прошлое записанное в него состояние, при этом уровень напряжения на входе D никак не может на него повлиять. Если подать "1" на вход синхронизации, то устройство будет работать в режиме "прозрачности" - выходной сигнал мгновенно повторяет сигнал входа. Но при отключении синхросигнала в памяти триггера останется последнее состояние входа и именно оно будет на Q. То есть получается "защелкнутый входной сигнал".

Исходя из описанного принципа работы, составим таблицу истинности:

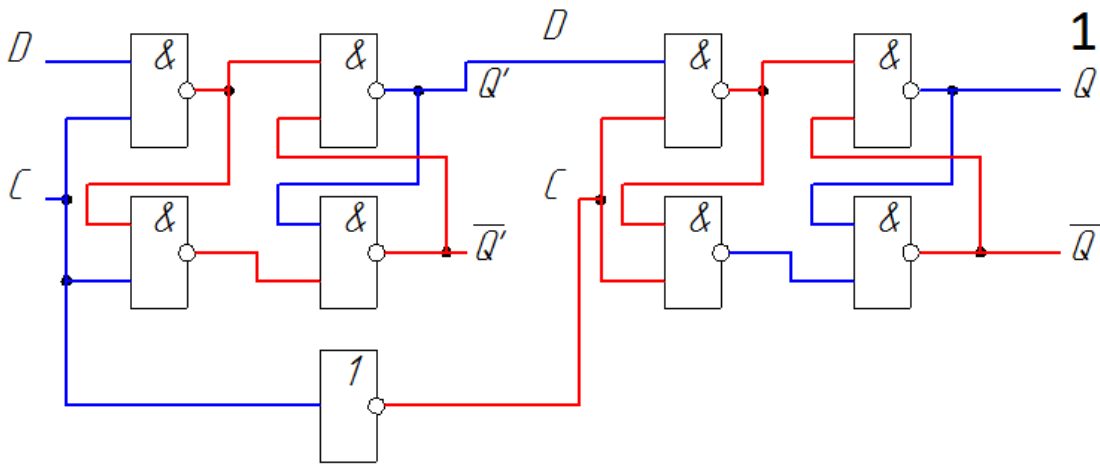
X означает, что состояние не имеет значения, иногда обозначают, как "тильда"

C	D	Q(t)	Q(t+1)	Пояснение
0	X	0	0	Хранение информации
0	X	1	1	
1	0	X	0	Запись информации
1	1	X	1	

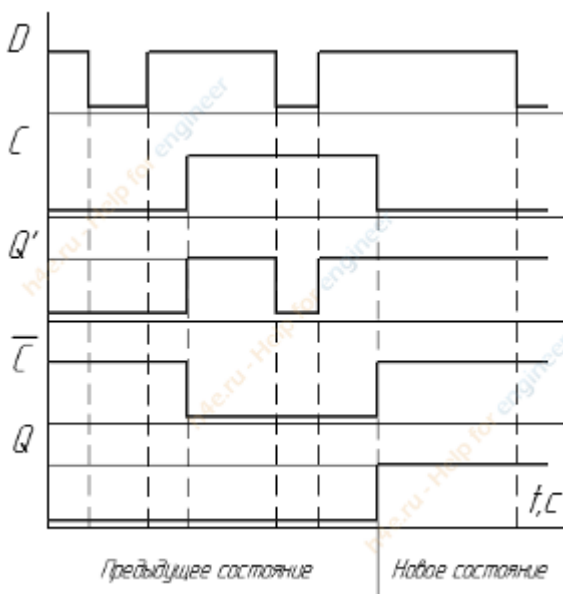
D-триггер, работающий по фронту, не требует контроля длительности синхронизирующего (тактового) сигнала, потому что фронт сигнала С проходит практически мгновенно (не может длиться продолжительное время). Триггер, который будет запоминать информацию лишь по фронту синхросигнала, можно построить из двух D-триггеров, тактовый сигнал на которые будет подаваться в противофазе:



Соответственно, схему на логических элементах можно сконструировать с помощью четырех ИЛИ-НЕ и одного инверсного блока:



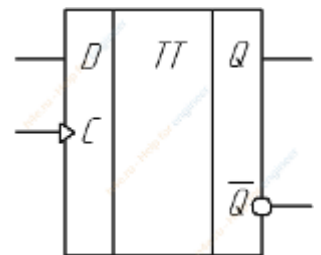
На рисунке в правом верхнем углу для упрощения восприятия, на первом кадре написана цифра "1". Начиная рассматривать с этого кадра, будет проще проследить принцип работы (синий цвет - "0", красный - "1").



Временная диаграмма Д-триггера, работающего по фронту

Рассмотрим принцип работы.  $Q'$  - выход первого триггера,  $Q$  - второго. Так как тактовый сигнал на первый и второй вход подаются инверсировано, то когда один находится в режиме хранения, другой пропускает информацию со входа на выход. По диаграмме видно, что значение на выходе триггера  $Q$  изменится только по спадающему фронту синхронизирующего (тактового) сигнала  $C$ . То есть значение на  $Q$  будет соответствовать величине напряжения на входе  $D$  в момент изменения синхросигнала с 1 на 0.

Так как данное устройство состоит из двух более простых устройств, то условное его обозначение следующее:



Где ТТ означает наличие в строении двух простых триггеров, а "треугольник" около входа  $C$  - работу триггера по фронту сигнала.

**Т-триггер** - это счетный триггер. У данного триггера имеется только один вход. Принцип работы Т-триггера заключается в следующем. После поступления на вход  $T$  импульса, состояние триггера меняется на прямо противоположное. Счётным он называется потому, что  $T$  триггер как бы подсчитывает количество импульсов, поступивших на его вход. Жаль только, что считать этот триггер умеет только до одного. При поступлении второго импульса Т-триггер снова сбрасывается в исходное состояние.

Т-триггеры строятся только на базе двухступенчатых триггеров, подобных рассмотренному ранее Д триггеру. Использование двух триггеров позволяет избежать неопределенного состояния схемы при разрешающем потенциале на входе синхронизации "С", так как счетные триггеры строятся при помощи схем с обратной связью

Т триггер можно синтезировать из любого двухступенчатого триггера. Рассмотрим пример синтеза Т триггера из динамического Д триггера. Для того чтобы превратить Д триггер в счётный, необходимо ввести цепь обратной связи с инверсного выхода этого триггера на вход, как показано на рисунке 1.



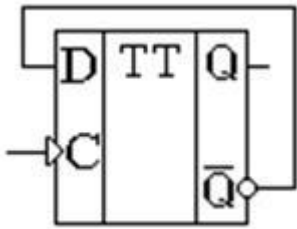
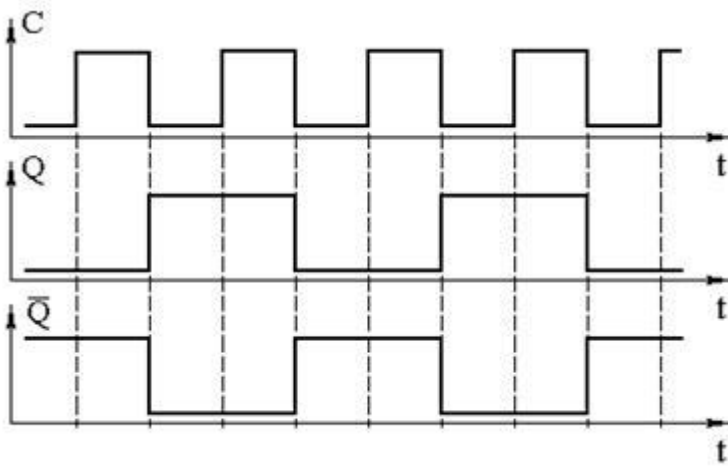


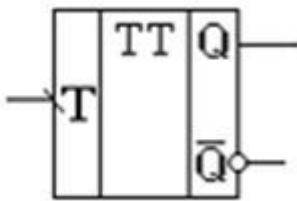
Схема Т триггера, построенная на основе D триггера

Временная диаграмма Т триггера приведена на рисунке 2. При построении этой временной диаграммы был использован триггер, работающий по заднему фронту синхронизирующего сигнала.



### Временные диаграммы Т триггера

Т-триггеры используются при построении схем различных счётчиков, поэтому в составе БИС различного назначения обычно есть готовые модули этих триггеров. Условно-графическое обозначение Т триггера приведено на рисунке 3.



Условно-графическое обозначение Т триггера

Существует еще одно представление Т триггера. При разработке схем синхронных двоичных счетчиков важно осуществлять одновременную запись во все его триггеры. В этом случае вход Т триггера служит только для разрешения изменения состояния на противоположное, а

синхронизация производится отдельным входом "С". Подобная схема Т триггера приведена на рисунке 4.

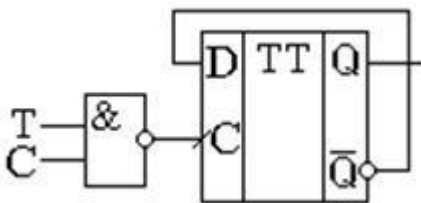
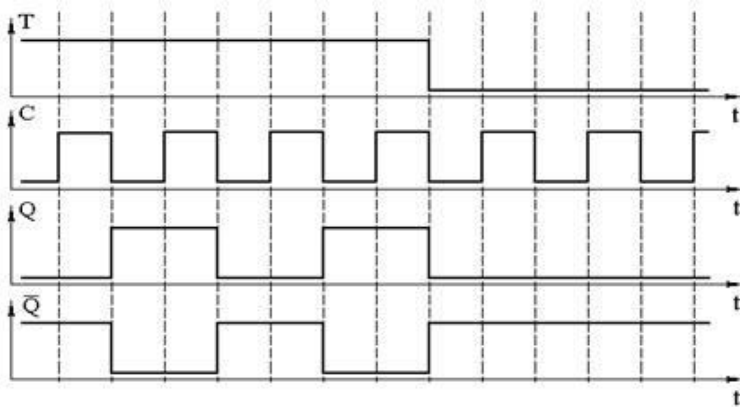


Схема синхронного Т триггера, построенная на основе D триггера

Подобная схема счетного триггера может быть реализована и на JK триггере. Временная диаграмма синхронного Т триггера приведена на рисунке 5, а его условно-графическое обозначение - на рисунке 6. Временные диаграммы синхронного Т триггера



Условно-графическое обозначение синхронного Т триггера

